

The Delphion Integrated View

Get Now: ☒ PDF | More choices... Tools: Add to Work File:

View: INPADOX | Jump to: Go to: Derwent ☐ Email this to a friend

Title: JP9171500A2: POINTER ADDRESS CONVERTER OF INTERPROCESSOR DATA SHARING CONTROL TABLE

Derwent Title: Common external memory sharing system for processors - in which entire data is shared between main memory of each processor and external sharing type memory, by transforming shared pointer address in control block
[Derwent Record]

Country: JP Japan

Kind: A

Inventor: TANDAI MICHIO;
NIIMURA YOSHIAKI;

Assignee: HITACHI LTD
HITACHI SOFTWARE ENG CO LTD
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1997-06-30 / 1995-12-20

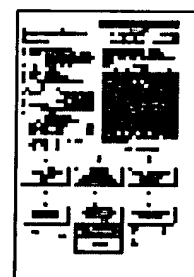
Application Number: JP1995000331482

IPC Code: G06F 15/16; G06F 3/06;

Priority Number: 1995-12-20 JP1995000331482

Abstract: PROBLEM TO BE SOLVED: To enable the data block control between plural processors by making a device have a constitution that the pool area that each processor locally has is shared via an external sharing storage part.

SOLUTION: Each processor secures memories 21, 21 for pool area and initializes a control block 23, a data block 24 and a pool control table 22. For the control processing part 30 of an external sharing storage part, the definition information on a pool area is notified and the securing of a pool area 2 is requested. In the address conversion processing part 31



[View Image](#)

1 page

BEST AVAILABLE COPY

within the control part of sharing storage device, the control of an address conversion object location is performed based on the control block length imparted as definition information and pointer positional information. When an interprocessor data sharing processing is further performed, each processor performs the exclusive control specific to the pool area by the unit of a reference/update processing. Therefore, not only a data block but also a control block can be shared by a CPU 10 and a CPU 10.

COPYRIGHT: (C)1997,JPO

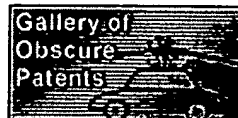
☐ Family: None

☐ Other: None

Abstract
Info:



Click Here
to order
Patent
Plaques



[Nominate](#)



[this for the Gallery...](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-171500

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/16	3 5 0		G 0 6 F 15/16	3 5 0 A
3/06	3 0 1		3/06	3 0 1 A

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21) 出願番号 特願平7-331482

(22) 出願日 平成7年(1995)12月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233055

日立ソフトウェアエンジニアリング株式会
社

神奈川県横浜市中区尾上町6丁目81番地

(72) 発明者 丹代 美智夫

神奈川県横浜市中区尾上町六丁目81番地
日立ソフトウェアエンジニアリング株式会
社内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

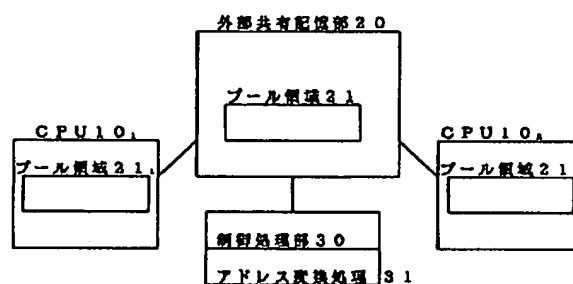
(54) 【発明の名称】 プロセッサ間データ共用制御テーブルのポインタアドレス変換装置

(57) 【要約】

【課題】本発明は、データブロック管理アルゴリズムを複数のプロセッサ間で行えるようにするために、各プロセッサがローカルに持つプール領域を外部共有記憶部を介して共有するようにする。しかし、このためには、各プロセッサが持つプール領域が配置された主記憶上のアドレスに一致がないことが問題となる。このため、各プロセッサで共有するプール領域内のポインタ部のアドレスを主記憶と外部共有記憶部との間で変換することによりプール領域全体のプロセッサ間共用を行うことを特徴とする。

【解決手段】複数のプロセッサと、これらのプロセッサよりバスを介して共有される外部共有記憶部を備えたシステムにおいて、主記憶上に確保したデータとデータを管理する制御ブロック（以下プール領域と記述する）を外部共有記憶部を介してプロセッサ間で共有することを可能とした制御ブロックのアドレス変換装置。

図 1



【特許請求の範囲】

【請求項1】複数のプロセサと、これらのプロセサよりバスを介して共有される外部共有記憶部を備えたシステムにおいて、主記憶上に確保したデータとデータを管理する制御ブロック（以下ブール領域と記述する）を外部共有記憶部を介してプロセサ間で共有することを可能とした制御ブロックポインタのアドレス変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プロセサ間でのデータ共用に利用する。特に、複数のデータを格納する領域内の各データに対してLRU等のアルゴリズムを使用して管理する制御ブロックを持つプログラムについては、プロセサ間でのデータ共用に有効な方式である。

【0002】本発明は、プロセサ間外部共有記憶部において、ブロック長、ブロック数、制御ブロック長、制御ブロック内のポインタ位置を格納するブール管理テーブルと制御ブロックならびにデータブロックを配置し、各プロセサの主記憶上のブール領域（ブール管理テーブル、制御ブロック、データブロックをまとめた領域）とのアクセスにおいてポインタ部の内容を主記憶上のブール領域アドレスに対応して相対的に変換する仕掛けを設けることにより、プロセサ間でのデータ共用をLRU等のデータブロック管理アルゴリズムに基づき行えるようにするものである。

【0003】

【従来の技術】従来、プロセサ内部でジョブ間共用に使用するブール領域を持つデータ共用処理において、プロセサ間データ共用を実現しようとする場合、外部共有記憶部にはデータブロックのみを配置し、更新処理時は外部共有記憶部のデータブロックを更新し、他のプロセサに対しては当該データブロックが最新になったことを通知する。

【0004】このとき他プロセサはプロセサ内部のブール領域内に同一データブロックが存在すれば当該データブロック対応の制御ブロックを無効化するか、外部共有記憶部内の最新データブロックを取得しなければならない。参照処理においては外部共有記憶部上のデータが最新となった通知がなければ、プロセサ内部のブール領域内の該当データブロックをそのまま使用することができ、プロセサ内部のブール領域になれば外部共有記憶部、ディスクの順に検索しデータを取得することになる。

【0005】

【発明が解決しようとする課題】従来の技術において、以下の問題があった。

【0006】各プロセサ内においてはLRU等のデータブロック管理アルゴリズムは行われているが、複数のプロセサ間でのデータブロック管理はおこなえていない。

【0007】このため、更新要求のないデータブロック

については外部共有記憶部から使用頻度が高くても追い出される可能性は高くなってしまふ。

【0008】

【課題を解決するための手段】本発明は、データブロック管理アルゴリズムを複数のプロセサ間で行えるようにするために、各プロセサがローカルに持つブール領域を外部共有記憶部を介して共有するようにする。しかし、このためには、各プロセサが持つブール領域が配置された主記憶上のアドレスに一致性がないことが問題となる。

【0009】このため、各プロセサで共有するブール領域内のポインタ部のアドレスを主記憶と外部共有記憶部との間で変換することによりブール領域全体のプロセサ間共用を行うことを特徴とする。

【0010】ブール領域は、データブロックとデータブロックを管理する制御ブロック並びにデータブロック数、データブロック長、制御ブロック長、制御ブロック内のポインタ部位置情報を持つブール管理テーブルから成り、1つのメモリ領域として確保され、かつ、外部共有記憶部上に配置される。外部共有記憶部上では制御ブロック内のポインタ部はブール領域の先頭を0とした相対アドレスに変換されて配置される。各プロセサが主記憶上のブール領域を参照・更新する場合、外部共有記憶部からブール領域の更新部分を主記憶上にポインタ部のアドレスを変換して取り込みデータ検索処理を行うとともにデータ管理アルゴリズムに基づいて制御ブロック内のポインタ更新を行う。ポインタ更新により変更した内容は、ポインタ部のアドレス変換を行い外部共有記憶部に反映する。

【0011】

【発明の実施の形態】本発明の一実施例について図面を参照して詳細に説明する。図1はプロセサ間メモリ共用におけるシステム構成図である。図2はブール領域内の内部構造の一例を示す図である。図2において制御テーブル内に存在するポインタアドレス部が、外部共有記憶部上では、ブール領域内の相対アドレスとなり、各プロセサ上においては主記憶上のメモリアドレスとなる。図2の制御ブロックは固定長でありかつブール管理テーブル領域に隣接していなければならない。ブール管理テーブル内のポインタ位置情報領域PIは制御ブロック内のポインタ位置を管理する領域であり、複数のポインタを管理することが可能である。制御ブロック群の論理的な先頭・終端ポインタについてはアドレス変換の対象外となるが、論理的な先頭・終端ポインタ格納領域を制御ブロックと同一のテーブル形式で作成する、若しくは、相対ポインタで覚える等で対処できる。

【0012】各プロセサはブール領域用のメモリ21、21を確保し、制御ブロック23とデータブロック24並びにブール管理テーブル22の初期化を行う。また、外部共有記憶部の制御処理部30に対しては、ブール領

域の定義情報を通知しプール領域21の確保要求をする。外部共有記憶装置の制御部内のアドレス変換処理部31では、定義情報として与えられた制御ブロック長CL、ポインタ位置情報PI~PIに基づきアドレス変換対象位置の管理を行う。

【0013】プロセサ間のデータ共用処理を行う場合、参照・更新処理の単位で各プロセサは当該プール領域に固有な排他制御を行う。

【0014】CPU10でメモリ上のプール領域21内の制御テーブル23並びにデータブロック24の更新を行10うと、外部共有記憶部の制御処理部30は、プール領域の更新部分についてポインタ部PNのアドレス変換を行ったのち外部共有記憶部のプール領域に反映する。

【0015】CPU10がメモリ上のプール領域21を参照する場合、CPU10にて更新された部分であれば、外部共有記憶部の制御処理部30は外部共有記憶部内のプール領域21よりCPU10のプール領域に対しポインタ部PNのアドレス変換をしたのち複写する。

【0016】CPU10がメモリ上のプール領域21を参照する場合、CPU10にて更新がされていなければ、外部共有記憶部20より取り込むことはせずそのま20まデータ検索処理が行われる。

【0017】以上説明したようにCPU10とCPU10とでデータブロックのみでなく制御ブロックも共有で*

*きることになり、データブロックをプロセサ間でデータブロック管理アルゴリズムにより管理できる。

【0018】

【発明の効果】本発明は、これまでプロセサ内のジョブ間でデータセットの一部のデータをプール領域にて再利用バッファとして共用する手法を、プロセサ間でのデータ共用に置き換えてデータの管理アルゴリズムをそのまま行える。

【図面の簡単な説明】

【図1】プロセサ間メモリ共用におけるシステム構成図である。

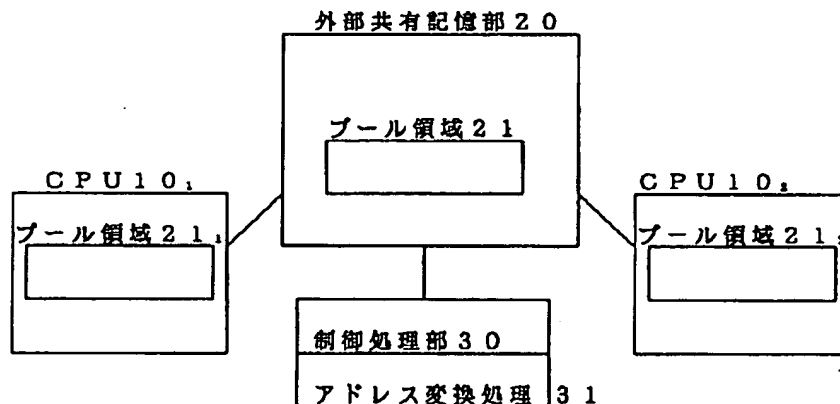
【図2】プール領域内の内部構造を示す図である。

【符号の説明】

10、10…CPU、 20…外部共有記憶部、21…外部共有記憶部内のプール領域、21、21…CPU内のプール領域、 22…プール管理テーブル、23…制御ブロック、 24…データブロック、BL…データブロックのブロック長、N…制御ブロックの数、CL…制御ブロックのブロック長、M…制御ブロック内に存在するポインタ領域の個数、PI~PI…制御ブロック内に存在するポインタ領域の位置、PN…制御ブロック内に存在するポインタ領域(1制御ブロック内にM個存在する)。

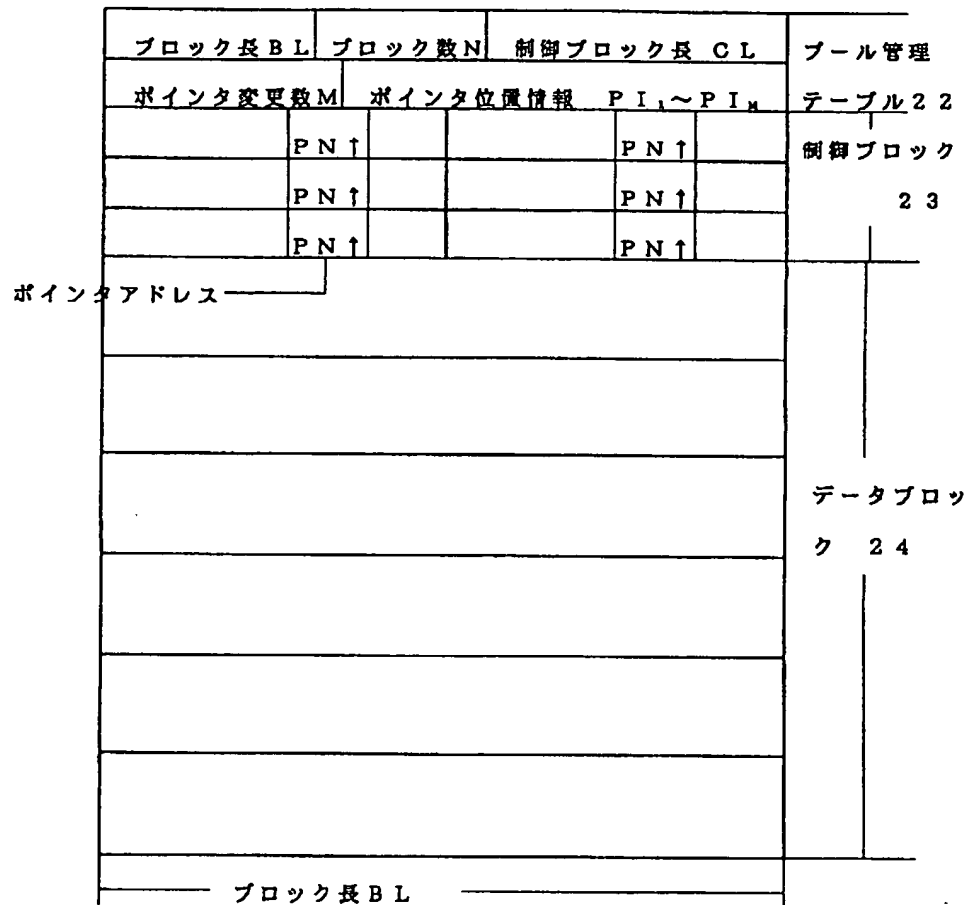
【図1】

図 1



【図2】

図 2



フロントページの続き

(72)発明者 新村 義章

神奈川県横浜市戸塚区戸塚町5030番地 株
式会社日立製作所ソフトウェア開発本部内